

# PERANGKAT PEMBELAJARAN

(RPS, Rubrik Penilaian, Lembar Evaluasi Pembelajaran)

Nama Mata Kuliah : Sistem Digital

Nama Penulis : Rini Puji Astutik, S.T., M.T.

# I. Rencana Pembelajaran Semester

		<b>UNIVERSITAS MUHAMMADIYAH GRESIK</b> <b>FAKULTAS TEKNIK</b> <b>PROGRAM STUDI TEKNIK ELEKTRO</b>					<b>Kode Dokumen</b> <b>PRO.Std.Pe</b> <b>nd/003/00</b> <b>1</b>
		<b>RENCANA PEMBELAJARAN SEMESTER</b>					
<b>MATA KULIAH (MK)</b>		<b>KODE MK</b>	<b>Rumpun MK</b>	<b>BOBOT (sks)</b>		<b>SEMESTER</b>	<b>Tgl Penyusunan</b>
Sistem Digital		2406033323	Elektronika	T=3	P=1	III	18 Agustus 2024
		<b>Pengembang RPS</b>	<b>Koordinator RMK</b>		<b>Ketua PRODI</b>		
		Rini Puji Astutik, S.T., M.T.	Misbah, S.T., M.T.		Denny Irawan, S.T., M.T.		
<b>Capaian Pembelajaran (CP)</b>	<b>CPL-PRODI yang dibebankan pada MK</b>						
	CPL 1	Mampu menerapkan matematika, sains dan prinsip rekayasa kompleks dalam bidang Teknik Elektro					
	CPL 2	Mampu menerapkan matematika aplikasi, rangkaian listrik, rangkaian elektronika, dan sistem komunikasi di bidang Teknik Elektro					
	<b>Capaian Pembelajaran Mata Kuliah (CPMK)</b>						
	CPMK 2-15	Mahasiswa mampu menerapkan matematika dan prinsip rekayasa kompleks sistem digital dalam bidang Teknik Elektro					
	CPMK 2-16	Mahasiswa mampu menerapkan rangkaian elektronika secara logika dalam sistem digital di bidang Teknik Elektro					
	<b>Kemampuan akhir tiap tahapan belajar (Sub-CPMK)</b>						
	SUB CPMK 2-15-1	Mahasiswa mampu memahami tentang Sistem Bilangan dan perhitungan operasi penjumlahan, pengurangan dan complement sesuai teori					
	SUB CPMK 2-15-2	Mahasiswa mampu memahami tentang teorema fungsi boolean dan pengenalan gerbang logika serta perhitungan dan evaluasi sistem digital sesuai teori					
	SUB CPMK 2-15-3	Mahasiswa mampu memahami tentang Teknik Penyederhanaan Fungsi Boolean dengan peta Karnaugh dan menganalisa sistem POS dan SOP sesuai teori					
	SUB CPMK 2-16-1	Mahasiswa mampu memahami tentang Rangkaian Kombinasi dan Mendesain sistem digital sesuai teori					
SUB CPMK 2-16-2	Mahasiswa mampu memahami tentang teori Flip Flop dan penerapannya						

	SUB CPMK 2-16-3	Mahasiswa mampu memahami tentang konsep rangkaian pencacah dan register serta mendemonstrasikan desain macam-macamnya					
<b>Deskripsi Singkat MK</b>	Mata Kuliah ini berisikan pengetahuan tentang dasar logika yang digunakan oleh sistem komputer digital disertai dengan rangkaian-rangkaian gerbang elektronika beserta dengan contoh-contohnya						
<b>Bahan Kajian dan Materi Pembelajaran</b>	<ol style="list-style-type: none"> <li>1. Sistem Bilangan dan operasi bilangan seperti penambahan, pengurangan serta operasi komplement</li> <li>2. Teorema fungsi boolean dan pengenalan gerbang logika serta perhitungan dan evaluasi sitem digital</li> <li>3. Teknik penyerhanaan fungsi boolean dengan peta Karnaug dan menganalisa sistem POS dan SOP</li> <li>4. Rangkaian kombinasi dan mendesain sistem digital</li> <li>5. Teori Flip Flop dan penerapannya</li> <li>6. Konsep desain rangkaian pencacah dan register serta mendemonstrasikannya</li> </ol>						
<b>Pustaka</b>	<b>Utama :</b>						
	<ol style="list-style-type: none"> <li>1. Nashelsky Louis," Introduction to Digital Computer Technology", John Wiley &amp; Sons Inc., New York, 1977</li> <li>2. Sumarna,"Elektronika Digital, Konsep Dasar dan Aplikasinya", Graha Ilmu, Yogyakarta, 2006</li> </ol>						
	<b>Pendukung :</b>						
	<ol style="list-style-type: none"> <li>1. Aplikasi Sistem Digital <a href="https://www.youtube.com/watch?v=GN6SW80APII">https://www.youtube.com/watch?v=GN6SW80APII</a></li> <li>2. Teknologi digital terkini <a href="https://www.youtube.com/watch?v=O7OcVioX7Xg">https://www.youtube.com/watch?v=O7OcVioX7Xg</a></li> <li>3. Aljabar Boolean <a href="https://youtu.be/Cbqbue96Rpo">https://youtu.be/Cbqbue96Rpo</a></li> </ol>						
<b>Dosen Pengampu</b>	Rini Puji Astutik, S.T., M.T.						
<b>Mata kuliah prasyarat</b>	-						
Mg Ke-	Kemampuan akhir tiap tahapan belajar (Sub-CPMK)	Penilaian		Bantuk Pembelajaran, Metode Pembelajaran, Penugasan Mahasiswa, [ Estimasi Waktu]		Materi Pembelajaran [Pustaka]	Bobot Penilaian (%)
		Indikator	Kriteria & Bentuk	Pembelajaran Luring (offline)	Pembelajaran Daring (online)		
(1)	(2)	(3)	(4)	(5)	(6)	(7)	(8)
1-3	Sub CPMK 2-15-1 : Mahasiswa mampu memahami tentang Sistem Bilangan dan perhitungan operasi penjumlahan, pengurangan dan complement sesuai teori [C2, A2]	<ol style="list-style-type: none"> <li>1.1 Menjelaskan macam-macam sistem bilangan</li> <li>1.2 Mengkonversi antar sistem bilangan</li> <li>1.3 Melakukan perhitungan operasi penjumlahan, pengurangan dan komplemen pada tiap sistem bilangan</li> </ol>	<b>Kriteri:</b> Pedoman Penskoran (Marking Scheme) Bentuk test: study kasus	<ul style="list-style-type: none"> <li>• <b>Kuliah</b></li> <li>• <b>Diskusi</b></li> </ul> <b>Tugas 1:</b> Mengerjakan study kasus tentang sistem bilangan dan perhitungan operasi	Elearning: <a href="http://spada.umg.ac.id">http://spada.umg.ac.id</a>	<ol style="list-style-type: none"> <li>1.1 Macam-macam sistem bilangan</li> <li>1.2 Konversi antar Bilangan</li> <li>1.3 Perhitungan Operasi penjumlahan, pengurangan</li> </ol>	10

						dengan sistem complement	
4-5	Sub CPMK 2-15-2 : Mahasiswa mampu memahami tentang teorema fungsi boolean dan pengenalan gerbang logika serta perhitungan dan evaluasi sistem digital sesuai teori [C2, A4]	2.1 Menjelaskan tentang teorema fungsi Boolean 2.2 Menjelaskan tentang penerapan fungsi boolean untuk menyederhanakan persamaan 2.3 Menjelaskan macam-macam gerbang logika 2.4 Melakukan analisa rangkaian gerbang logika berdasarkan teorema Boolean.	<b>Kriteri:</b> Pedoman Penskoran (Marking Scheme) Bentuk test: study kasus	<ul style="list-style-type: none"> <li>• <b>Kuliah</b></li> <li>• <b>Diskusi</b></li> </ul> <b>Tugas 2:</b> Merancang sistem digital sederhana <b>Praktikum Modul 1</b> Pengenalan Gerbang Logika	Elearning: <a href="http://spada.umg.ac.id">http://spada.umg.ac.id</a>	2.1 Teorema Fungsi Boolean 2.2 Penggunaan Fungsi Boolean 2.3 Gerbang-gerbang logika 2.4 Implementasi persamaan digital dengan gerbang logika	10
6-7	Sub CPMK 2-15-3 : Mahasiswa mampu memahami tentang Teknik Penyederhanaan Fungsi Boolean dengan peta Karnaugh dan menganalisa sistem POS dan SOP sesuai teori [C2, P2]	3.1 Menjelaskan tentang Teknik desain sistem digital 3.2 Menggunakan Peta Karnaugh untuk penyederhanaan persamaan sistem digital 3.3 Mendesain sistem digital dengan sistem SOP dan POS 3.4 Memodifikasi gerbang logika dengan hanya menggunakan gerbang universal untuk efisiensi	<b>Kriteri:</b> Pedoman Penskoran (Marking Scheme) Bentuk test: study kasus	<ul style="list-style-type: none"> <li>• <b>Kuliah</b></li> <li>• <b>Diskusi</b></li> </ul> <b>Luring Tugas 3:</b> Mengerjakan study kasus tentang penyederhanaan suatu sistem digital dengan peta Karnaugh  <b>Praktikum Modul 2</b> Merancang dan mendemonstrasikan suatu sistem digital	Elearning: <a href="http://spada.umg.ac.id">http://spada.umg.ac.id</a>	3.1 Teknik desain sistem digital 3.2 Pengenalan Peta Karnaugh 3.3 Sistem SOP dan POS 3.4 Gerbang universal untuk efisiensi	15
8	<b>Evaluasi Tengah Semester / Ujian Tengan Semester</b>						
9-12	Sub CPMK 2-16-1 : Mahasiswa mampu memahami tentang	4.1 Mendesain rangkaian penjumlah 4.2 Mendesain rangkain pengurang 4.3 Mendesain rangkaian pembanding	<b>Kriteri:</b> Pedoman Penskoran (Marking Scheme)	<ul style="list-style-type: none"> <li>• <b>Kuliah</b></li> <li>• <b>Diskusi</b></li> </ul>	Elearning: <a href="http://spada.umg.ac.id">http://spada.umg.ac.id</a>	4.1 Rangkaian penjumlah 4.2 Rangkaian	10

	Rangkaian Kombinasi dan Mendesain sistem digital sesuai teori (C3, P4]	4.4 Mengkonversikan antar kode 4.5 Mendesain rangkaian Decoder dan Encoder 4.6 Mendesain Rangkaian Multiplexing dan demultiplexing	Bentuk test: study kasus	<b>Tugas 4:</b> Merancang macam-macam rangkaian kombinasi	<b>Diskusi Daring mingguk 11</b>	pengurang 4.3 Rangkaian pembanding 4.4 Konversi antar kode 4.5 Rangkaian Decoder dan Encoder 4.6 Rangkaian Multiplexing dan Demultiplexing	
<b>13</b>	Sub CPMK 2-16-2 : Mahasiswa mampu memahami tentang teori Flip Flop dan penerapannya [C2, P2, A2]	5.1 Menjelaskan aplikasi dari flipflop 5.2 Menjelaskan macam-macam flip flop dan spesifikasinya 5.3 Mendesain rangkaian flipflop 5.4 Menyelesaikan studi kasus flipflop	<b>Kriteria:</b> Pedoman Penskoran (Marking Scheme) Bentuk test: study kasus	<ul style="list-style-type: none"> <li>• <b>Kuliah</b></li> <li>• <b>Diskusi</b></li> </ul> <b>Tugas 5:</b> Merancang sistem digital dengan memanfaatkan flip flop <ul style="list-style-type: none"> <li>• <b>Praktikum Modul 3</b> Merancang dan mendemonstrasikan rangkaian kombinasi dan Flip Flop</li> </ul>	Elearning: <a href="http://spada.umg.ac.id">http://spada.umg.ac.id</a>	5.1 Pendahuluan 5.2 Macam-macam Flip flop 5.3 Desain Rangkaian Flip flop 5.4 Studi kasus Flipflop	15
<b>14-15</b>	Sub CPMK 2-16-3 : Mahasiswa mampu memahami tentang konsep rangkaian pencacah dan register serta mendemonstrasikan desain	6.1 Menjelaskan penerapan dari pencacah dan register 6.2 Menjelaskan macam-macam pencacah 6.3 Menjelaskan sistem modul pencacah 6.4 Mendesain pencacah 6.5 Menjelaskan macam-macam register 6.6 Mendesain Register	<b>Kriteria:</b> Pedoman Penskoran (Marking Scheme) Bentuk test: study kasus	<ul style="list-style-type: none"> <li>• <b>Kuliah</b></li> <li>• <b>Diskusi</b></li> </ul> <b>Tugas 6:</b> <b>Project</b> Membuat implementasi dari sistem	Elearning: <a href="http://spada.umg.ac.id">http://spada.umg.ac.id</a>	6.1 Pendahuluan 6.2 Macam-macam pencacah 6.3 Sistem Modul pencacah	40

	macam-macamnya [C3, A4]			digital dalam kehidupan sehari-hari. <ul style="list-style-type: none"> <li>• <b>Praktikum Modul 4</b> Merancang dan mendemonstrasikan penerapan rangkaian pencacah dan register dalam kehidupan sehari-hari</li> </ul>		6.4 Desain Pencacah 6.5 Macam-macam Register 6.6 Desain Register	
16	Evaluasi Akhir Semester / Ujian Akhir Semester						

Koordinator MK

(Misbah, S.T., M.T.)

Gresik, 15 Agustus 2024

Pengembang RPS

(Rini Puji Astutik, S.T., M.T.)

Menyetujui

Ka.Prodi

(Denny Irawan, S.T., M.T.)

**NB: untuk validasi diberikan tanda/stempel yang bertuliskan telah "tervalidasi"**

## II. Rubrik penilaian

Sub CPMK	Aspek yang dinilai	Bobot
SUB CPMK 2-15-1	Pemahaman tentang Sistem Bilangan dan perhitungan operasi penjumlahan, pengurangan dan complement sesuai teori.	10%
SUB CPMK 2-15-2	Pemahaman tentang teorema fungsi boolean dan pengenalan gerbang logika serta perhitungan dan evaluasi sistem digital sesuai teori.	10%
SUB CPMK 2-15-3	Pemahaman tentang Teknik Penyederhanaan Fungsi Boolean dengan peta Karnaugh dan menganalisa sistem POS dan SOP sesuai teori.	15%
SUB CPMK 2-16-1	Pemahaman tentang Rangkaian Kombinasi dan Mendesain sistem digital sesuai teori.	10%
SUB CPMK 2-16-2	Pemahaman tentang teori Flip Flop dan penerapannya.	15%
SUB CPMK 2-16-3	Pemahaman tentang konsep rangkaian pencacah dan register serta mendemonstrasikan desain macam-macamnya.	40%

### Rubrik penilai Praktikum/Psikomotorik

Sub CPMK	Aspek yang dinilai	Skor	Hasil Pengamatan
Sub CPMK 2-16-1,2 dan 3	<b>Persiapan praktikum</b> a. Menyiapkan modul praktikum dan memahami setiap Langkah-langkah yang telah dibuat kemudian merangkai sistem digital sesuai instruksi.		
	✓ Menyiapkan modul praktikum dan membuat rangkaian sistem digital serta menjalankan setiap Langkah yang telah dibuat	3	
	✓ Menyiapkan modul praktikum dan membuat rangkaian sistem digital namun tidak memahami Langkah-langkah sesuai instruksi	2	
	✓ Menyiapkan modul praktikum namun tidak membuat rangkaian sistem digital sesuai instruksi	1	
	✓ Tidak menyiapkan modul praktikum dan tidak merangkai sistem	0	

	b. Menyiapkan software atau perangkat dan merancang rangkaian untuk mensimulasikan rangkaian yang kompleks dalam design sistem digital		
	✓ Menyiapkan software atau perangkat dan merancang rangkaian serta mensimulasi rangkaian kompleks sesuai teori	3	
	✓ Menyiapkan software atau perangkat dan merancang rangkaian namun tidak bisa mensimulasi rangkaian kompleks sesuai teori	2	
	✓ Menyiapkan software atau perangkat namun tidak merancang dan mensimulasikan rangkaian	1	
	✓ Tidak menyiapkan software atau perangkat	0	
	<b>Kegiatan melakukan praktikum</b>		
	c. Keterampilan merangkaian rangkaian sederhana pada modul yang telah disediakan kemudian menjalankan dan membandingkan dengan teori		
	✓ Merangkai rangkaian sederhana	1	
	✓ Tidak merangkaian rangkaian sederhana	0	
	✓ Menjalankan rangkaian dan membandingkan dengan teori	2	
	✓ Menjalankan rangkaian namun tidak membandingkan dengan teori	1	
	✓ Tidak menjalankan rangkaian.	0	
	d. Keterampilan mendesain suatu sistem digital dalam kehidupan sehari-hari (Studi Kasus)		
	✓ Mendesain dan mengimplementasikan serta menjalankan dalam suatu rangkaian dari sistem digital dalam kehidupan sehari-hari	2	
	✓ Mendesain dan mengimplementasikan namun tidak dapat dijalankan karena kesalahan desain.	1	
	✓ Tidak mendesain dan mengimplementasikan	0	
	<b>Kegiatan setelah praktikum</b>		



	Membereskan modul dan peralatan praktikum serta mengembalikan pada tempatnya		
	✓ Membereskan modul dan peralatan praktikum serta mengembalikan pada tempatnya dengan rapi	2	
	✓ Membereskan modul dan peralatan praktikum namun tidak dikembalikan pada tempatnya	1	
	✓ Tidak membereskan modul dan peralatan setelah selesai praktikum	0	

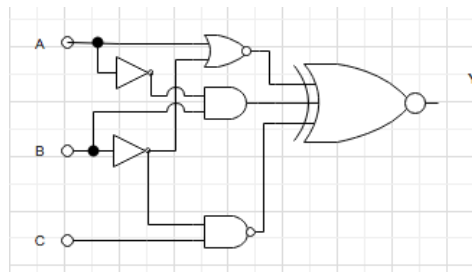
### III. Lembar Evaluasi Capaian Pembelajaran

	<b>FORMULIR</b>	Dokumen <b>UMG-S4.4</b>	#:	Rev <b>01</b>	#:	
	Judul <b>UJI KOMPETENSI CAPAIAN PEMBELAJARAN</b>			:	Halaman <b>1 dari 1</b>	:
				:	Tanggal <b>02-01-2016</b>	:

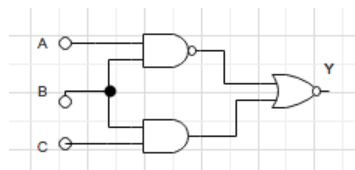
**MATA KULIAH** : SISTEM DIGITAL  
**SEMESTER/KELAS** : III / PAGI-SORE  
**DOSEN** : RINI PUJI ASTUTIK, ST., MT.  
**PELAKSANAAN**  
**Hari/Tanggal** : Senin, 18 Maret 2025  
**Tempat** : E3.08  
**Sifat** : Tertutup

- Berapakan hasil konversi
  - $11110110110_2 = \dots\dots\dots(\text{BCD})$
  - $3AF9_{16} = \dots\dots\dots(\text{gray})$
  - $3715_8 = \dots\dots\dots(2^{*421})$
  - $0111\ 1001\ 0110\ 0011(\text{BCD}) = \dots\dots\dots(\text{excessthree})$
- Tentukan nilai dari inputan A,B,C untuk rangkaian berikut agar output Y=1

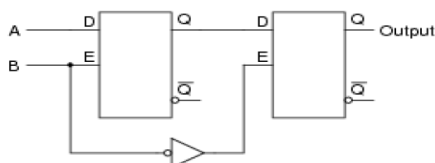
a. Rangkaian 1



b. Rangkaian 2

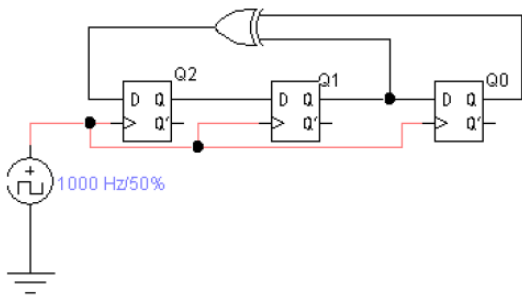


- Diketahui rangkaian seperti gambar dibawah
  - Rangkaian D FF, tentukan output Q2 yang terakhir dimana keadaan awal Q1=0 dan Q2=0



A	B	Q2 Output
1	1	0
1	0	
0	1	
0	0	

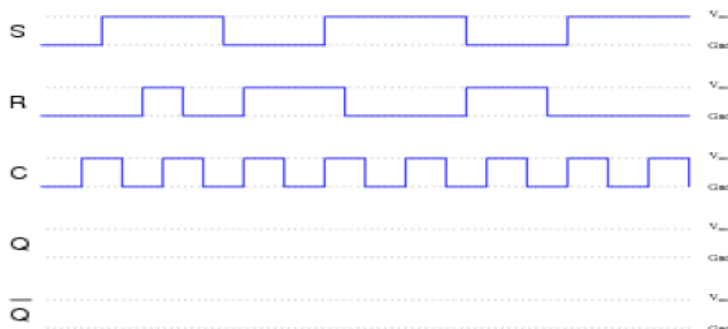
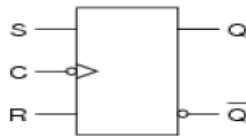
- b. Rangkaian D FF 2, output awal Q2, Q1 dan Q0 = 1,0,0. Tentukan output untuk clock selanjutnya sampai clock ke 7



Clk	Input			Output		
	Q2	Q1	Q0	Qn2	Qn1	Qn0
0	0	0	1	1	0	0
1						
2						
3						
4						
5						
6						
7						

4. Tentukan kondisi output dari keluaran

- a. RS-FF dengan inputan seperti timing diagram berikut dan kondisi awal  $Q=0$  dan  $Q^{\bar{}}=1$ , untuk perubahan kondisi Q berdasarkan Clock transisi (C) sesuai dengan NIM, Untuk NIM genap transisi positif edge dan NIM ganjil negative (untuk NIM 3046-3060)



- b. JK-FF dengan inputan seperti timing diagram berikut dan kondisi awal  $Q=0$  dan  $Q^{\bar{}}=1$ , untuk perubahan kondisi Q berdasarkan Clock transisi (C) sesuai dengan NIM, Untuk NIM genap transisi positif edge dan NIM ganjil negative (untuk NIM 3001-3045)

