


PERANGKAT PEMBELAJARAN

(RPS, Rubrik Penilaian, Lembar Evaluasi Pembelajaran)

Nama Mata Kuliah : Perangkat Terprogram

Nama Penulis : Misbah, S.T., M.T.

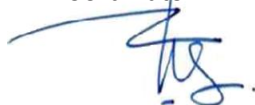
I. Rencana Pembelajaran Semester

	UNIVERSITAS MUHAMMADIYAH GRESIK FAKULTAS TEKNIK PROGRAM STUDI TEKNIK ELEKTRO					Kode Dokumen PRO.Std.Pend/003/ 001
	RENCANA PEMBELAJARAN SEMESTER					
MATA KULIAH (MK)	KODE MK	Rumpun MK	BOBOT (sks)		SEMESTER	Tgl Penyusunan
Perangkat Terprogram	2406035337	Elektronika	T=3	P=0	V	12 Agustus 2024
	Pengembang RPS		Koordinator RMK		Ketua PRODI	
	Misbah, S.T., M.T.		Misbah, S.T., M.T.		Denny Irawan, S.T., M.T.	
Capaian Pembelajaran (CP)	CPL-PRODI yang dibebankan pada MK					
	CPL 2	Mampu menerapkan matematika aplikasi, rangkaian listrik, rangkaian elektronika, dan sistem komunikasi di bidang Teknik Elektro				
	CPL 4	Mampu mengidentifikasi, merumuskan dan menyelesaikan permasalahan dibidang Teknik Elektro				
	CPL 5	Mampu merancang dan mendesain sistem di bidang Teknik Elektro dengan mempertimbangkan aspek keandalan, ekonomis dan kemudahan penerapan				
	CPL 6	Mampu memilih dan memanfaatkan komputasi atau teknologi informasi dalam melakukan rekayasa dibidang Teknik Elektro				
	Capaian Pembelajaran Mata Kuliah (CPMK)					
	CPMK 2-28	Mahasiswa mampu memahami permasalahan dalam sistem elektronik				
	CPMK 4-8	Mahasiswa mampu mendesain aplikasi sistem digital dalam sistem elektronik				
	CPMK 5-2	Mahasiswa mampu memanfaatkan perangkat lunak dalam merancang sistem digital				
	CPMK 6-4	Mahasiswa mampu menyelesaikan permasalahan sistem digital secara mandiri maupun kelompok				
	Kemampuan akhir tiap tahapan belajar (Sub-CPMK)					
	Sub CPMK 2-28-1	Mahasiswa mampu menjelaskan tentang sejarah perkembangan IC, PLD, CPLD dan FPGA				
	Sub CPMK 4-8-1	Mahasiswa mampu menjelaskan istilah, pengertian, model-model, tipe data dalam VHDL				
	Sub CPMK 5-2-1	Mahasiswa mampu menggunakan bahasa pemrograman VHDL untuk aplikasi rangkaian digital				

	Sub CPMK 6-4-1	Mahasiswa mampu membuat rangkaian digital dalam bentuk perangkat keras dengan pemrograman VHDL (IC PLD dan FPGA)					
Deskripsi Singkat MK	Pada mata kuliah ini mahasiswa belajar tentang sejarah perkembangan IC, PLD, CPLD dan FPGA; istilah, pengertian, model-model, tipe data dalam VHDL; pemrograman VHDL untuk aplikasi rangkaian digital; bentuk perangkat keras dengan pemrograman VHDL						
Bahan Kajian dan Materi Pembelajaran	<ol style="list-style-type: none"> 1. Perkembangan IC, PLD, 2. Bahasa program VHDL, 3. Model Arsitektur, 4. Sequential Process, 5. Tipe data, 6. Penggunaan Software (ISE Xilinx, Warp 6.2), 7. Aplikasi perangkat keras PLD, 8. Pengenalan Modul FPGA. 						
Pustaka	Utama:						
		<ol style="list-style-type: none"> 1. Douglas L. Perry, "VHDL: Programming by example", Edisi 4 Mc GrawHill, 2002 2. Peter J. Ashenden, "The VHDL Cookbook", Edisi Pertama Dept. Computer Science Univ. Adelaide Australia, 1990 3. Bahan Ajar 					
	Pendukung :						
Dosen Pengampu	Misbah, S.T., M.T.						
Mata kuliah prasyarat	Sistem digital, Algoritma dan Pemrograman						
Mg Ke-	Kemampuan akhir tiap tahapan belajar (Sub-CPMK)	Penilaian		Bantuk Pembelajaran, Metode Pembelajaran, Penugasan Mahasiswa, [Estimasi Waktu]		Materi Pembelajaran [Pustaka]	Bobot Penilaian (%)
		Indikator	Kriteria & Bentuk	Pembelajaran Luring (offline)	Pembelajaran Daring (online)		
(1)	(2)	(3)	(4)	(5)	(6)	(7)	(8)
1-3	Sub CPMK 2-28-1 : Mahasiswa mampu menjelaskan tentang sejarah perkembangan IC, PLD, CPLD dan FPGA [C2, A3]	<ol style="list-style-type: none"> 1.1 Ketepatan dalam menyelesaikan permasalahan sistem digital. 1.2 Ketepatan menjelaskan perkembangan IC, 	Kriteria: Pedoman penskoran Bentuk: - Kuis - Tugas	<ul style="list-style-type: none"> • Kuliah • Studi Kasus • Diskusi [TM: 3x(3x50')] 	eLearning: SPADA- UMG https://spada.umg.ac.id	Review sistem digital; Sejarah perkembangan IC, PLD, CPLD dan FPGA	20

		PLD, CPLD dan FPGA.	presentasi	Tugas-1: [PT+BM:(3+3)x(1x60')]			
4-7	Sub CPMK 4-8-1 : Mahasiswa mampu menerapkan istilah, pengertian, model- model, tipe data dalam VHDL [C2, A3]	2.1 Ketepatan menggunakan istilah, model, dan tipe data dalam VHDL. 2.2 Ketepatan menerapkan model struktural, dataflow dan behavior.	Kriteria: Pedoman penskoran Bentuk: - Kuis - Tugas - Tanya Jawab Presentasi	<ul style="list-style-type: none"> Kuliah Studi Kasus Diskusi [TM: 3x(3x50')] Tugas-2: [PT+BM:(3+3)x(1x60')]	eLearning: SPADA- UMG https://spada.umg.ac.id	- Pengertian signal, port, entity, process dll. - Model struktural, dataflow dan behavior. Tipe data : bit, standard logic, standard logic vector, standard ulogic.	20
8	UTS / Evaluasi Tengah Semester: Melakukan validasi hasil penilaian, evaluasi dan perbaikan proses pembelajaran berikutnya						
9-11	Sub CPMK 5-2-1 : Mahasiswa mampu mengaplikasikan rangkaian digital dengan bahasa pemrograman VHDL [C6, A2, P4]	3.1 Ketepatan menggunakan proses sekuen. 3.2 Ketepatan menggunakan proses FSM. 3.3 Ketepatan mengaplikasikan IC PLD menggunakan dengan program Warp 6.2	Kriteria: Pedoman penskoran Bentuk: - Tugas - Demo project 1 Tanya Jawab	<ul style="list-style-type: none"> Kuliah Studi Kasus Diskusi [TM: 3x(3x50')] Tugas-3: [PT+BM:(3+3)x(1x60')]	eLearning: SPADA- UMG https://spada.umg.ac.id	- Sequential process, - Behavioral model - Finite state machine (FSM) Program Warp 6.2 untuk IC PLD	30
12-15	Sub CPMK 6-4-1 : Mahasiswa mampu mengaplikasikan rangkaian digital ke FPGA [C6, A2, P4]	4.1 Ketepatan mengenal modul FPGA. 4.2 Ketepatan mengaplikasikan rangkaian digital menggunakan modul FPGA.	Kriteria: Pedoman penskoran Bentuk: - Tugas - Demo project 2 Tanya jawab	<ul style="list-style-type: none"> Kuliah Studi Kasus Diskusi [TM: 3x(3x50')] Tugas-4: [PT+BM:(3+3)x(1x60')]	eLearning: SPADA- UMG https://spada.umg.ac.id	- Pengenalan modul FPGA Spartan 3E - Program Xilinx 14 Desain struktur, dataflow dan behavioral.	30
16	UAS / Evaluasi Akhir Semester: Melakukan validasi hasil penilaian, dan menentukan kelulusan mahasiswa.						

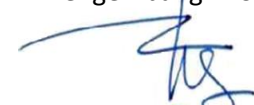
Koordinator MK



(Misbah, S.T., M.T.)

Gresik, 21-8-2024

Pengembang RPS



(Misbah, S.T., M.T.)




NB: untuk validasi diberikan tanda/stempel yang bertuliskan telah "tervalidasi"

II. Rubrik penilaian Rubrik penilai Demo Hardware / Software

Sub-CPMK	Aspek yang dinilai	Sangat baik	Baik	Cukup	Kurang	Sangat Kurang	SKOR
Sub CPMK 5-2-1 Sub CPMK 6-4-1	Perangkat Keras atau Lunak	Semua tugas yang diberikan bisa berjalan dengan baik.	Hanya 80% tugas yang diberikan bisa berjalan dengan baik.	Hanya 60% tugas yang diberikan bisa berjalan dengan baik.	Hanya 40% tugas yang diberikan bisa berjalan dengan baik.	Dibawah 40% atau Tidak bisa sama sekali	70%

Sub CPMK 5-2-1	Laporan	Format laporan sesuai dengan aturan, antara lain :	Format laporan sesuai dengan aturan, antara lain :	Format laporan sesuai dengan aturan, antara lain :	Format laporan sesuai dengan aturan, antara lain :	Format laporan sesuai dengan aturan, antara lain :	30%
Sub CPMK 6-4-1		Pendahuluan, skematik rangkaian, flowchart, source code dan hasil/pembahasan.	Pendahuluan, skematik rangkaian, flowchart, source code.	Pendahuluan, skematik rangkaian, source code.	skematik rangkaian, source code.	Skematik rangkaian atau source code	

III. Lembar Evaluasi Capaian Pembelajaran

	FORMULIR	Dokumen UMG-S4.4	#:	Rev 01	#:
	Judul UJI KOMPETENSI CAPAIAN PEMBELAJARAN 1		:	Halaman 1 dari 1	:
				:	Tanggal 02-01-2016

MATA KULIAH : Perangkat Terprogram

SEMESTER/KELAS : 5

DOSEN : Misbah, ST, MT


PELAKSANAAN

Hari/Tanggal :

Tempat :

Sifat :

-
1. Buatlah program VHDL arsitektur Dataflow untuk menampilkan **8 Angka NIM Anda** di 7 Segmen !
 2. Tulis dengan bahasa VHDL dan simulasikan dengan software Warp 6.3 !

	FORMULIR	Dokumen UMG-S4.4	#:	Rev 01	#:
	Judul UJI KOMPETENSI CAPAIAN PEMBELAJARAN 2	:	:	Halaman 1 dari 1	:
				Tanggal 02-01-2016	:

MATA KULIAH : Perangkat Terprogram

SEMESTER/KELAS : 5

DOSEN : Misbah, ST, MT


PELAKSANAAN

Hari/Tanggal :

Tempat :

Sifat :

1. Buatlah program VHDL Arsitektur Behavioral untuk menampilkan **8 huruf Nama Belakang Anda** di 7 Segmen !
2. Demokan dengan simulasi dengan software Warp 6.3 untuk menampilkan Nama Belakangmu !
3. Buat rangkaian aplikasi 7-segmen tersebut!

	FORMULIR	Dokumen UMG-S4.4	#:	Rev 01	#:
	Judul UJI KOMPETENSI CAPAIAN PEMBELAJARAN 3	:	:	Halaman 1 dari 1	:
				Tanggal 02-01-2016	:

MATA KULIAH : Perangkat Terprogram

SEMESTER/KELAS : 5

DOSEN : Misbah, ST, MT


PELAKSANAAN

Hari/Tanggal :

Tempat :

Sifat :

1. Buatlah program VHDL untuk membuat Quadrature Encoder dengan FSM!
2. Demokan dengan simulasi software Warp 6.3!
3. Buatlah program VHDL untuk membuat pengisian tandon air otomatis!
4. Demokan dengan Warp 6.3!

	FORMULIR	Dokumen UMG-S4.4	#:	Rev 01	#:
	Judul UJI KOMPETENSI CAPAIAN PEMBELAJARAN 4	:	:	Halaman 1 dari 1	:
				Tanggal 02-01-2016	:

MATA KULIAH : Perangkat Terprogram

SEMESTER/KELAS : 5

DOSEN : Misbah, ST, MT

PELAKSANAAN

Hari/Tanggal :

Tempat :

Sifat :

1. Buatlah program VHDL pada Xilinx ISE 14.7 untuk aplikasi 7 Huruf Nama Belakang Anda pada 7-segment dan Simulasikan!
2. Buatlah program VHDL pada Xilinx ISE 14.7 untuk menampilkan Nama Anda pada LCD 16x2 dengan mode operasi 8 bit!

Hasil pekerjaan ini dibuat dalam bentuk file pdf, disertai nama dan NIM. Dikirim melalui SPADA.

NB: - IC FPGA yang dipakai XC6SLX9